

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358105

(43)Date of publication of application : 26.12.2001

(51)Int.Cl. H01L 21/304
 H01L 21/3065
 H01L 21/306
 H01L 21/3205

(21)Application number : 2000-176045

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 12.06.2000

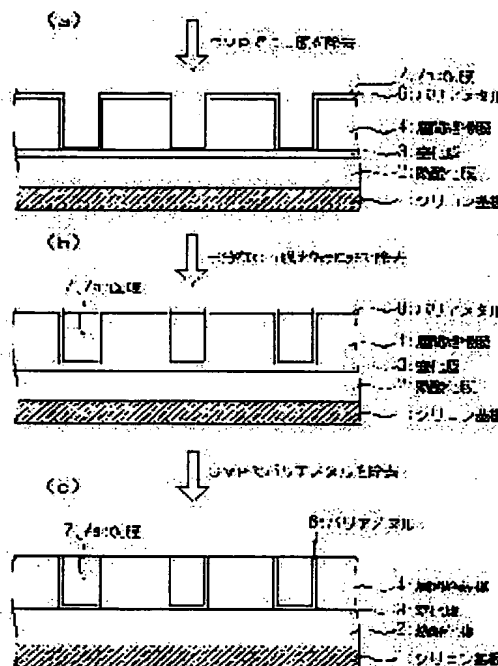
(72)Inventor : CHIBAHARA HIROYUKI
 IWASAKI MASANOBU

(54) FORMING METHOD OF EMBEDDED WIRING, CMP DEVICE, AND SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for forming embedded wiring of flat surface by preventing dishing at chemical-mechanical polishing, independently of layout, such as wiring width, density level of wiring or the like.

SOLUTION: The method includes a first process, where a channel for embedded wiring, is formed at a flat interlayer insulating film 4 formed on a silicon substrate 1, a second process where a barrier metal 6 and Cu films 7 and 7a which are to be a main wiring, a third process where an unwanted Cu film on the interlayer insulating film 4 is removed, with a thin skin left out, by a first chemical-mechanical polishing, a fourth process where only the pellicle-state Cu film is removed by etching until the barrier metal 6 is exposed, and a fifth process where an unwanted barrier metal is removed by a second chemical-mechanical polishing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-358105
(P2001-358105A)
(43) 公開日 平成13年12月26日 (2001.12.26)

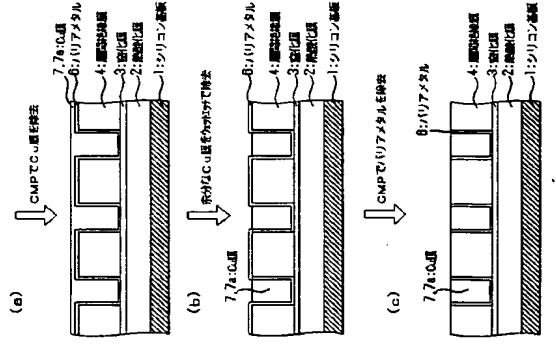
(51) Int.Cl. H01L 21/304	F I H01L 21/304	ジーコード(参考) 6 2 2 X 5 F 0 0 4 6 2 2 S 5 F 0 3 3 21/3065 21/308 21/3205	21/302 21/306 21/88	E 5 F 0 4 3 M K
特許請求の範囲	請求項1	請求項2	請求項3	請求項4

(21) 出願番号 特開2000-176045(P2000-176045)
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
千葉原 泰幸
三菱電機株式会社内
岩崎 正徳
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
岩崎 正徳
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(70) 代理人 100082175
弁理士 高田 守 (外3名)

最終頁に続く

(54) 【発明の名称】 埋め込み配線の形成方法およびCMP装置、並びに半導体装置およびその製造方法

(57) 【要約】
【課題】 配線幅・配線の歪集度などといったレイアウトに問わず無く、化学機械研磨によるディッシングを防止し、平坦な表面の埋め込み配線の形成方法を得る。
【解決手段】 シリコン基板1上に形成された平坦な層間絶縁膜4に埋め込み配線用の溝を形成する第1の工程7aを形成する第2の工程と、層間絶縁膜4上の不要なCu膜を形成する第3の工程と、薄皮の状態のCu膜のみを、パリアメタル6が露出するまでエッチングにより除去する第4の工程と、不要なパリアメタルを2回目の化学機械研磨により除去する第5の工程とを有する。



(11) 特許請求の範囲

【請求項1】 半導体基板上に形成された平坦な層間絶縁膜に埋め込み配線用の溝を形成する第1の工程と、上記溝にパリアメタルと主配線となるCu膜を形成する第2の工程と、
上記層間絶縁膜上の不要なCu膜を薄皮残した状態で露出するまでエッチングにより除去する第3の工程と、
1回目の化学機械研磨により除去する第4の工程と、
上記薄皮の状態のCu膜のみを、上記パリアメタルが露出するまでエッチングにより除去する第5の工程と、
不要なパリアメタルを2回目の化学機械研磨により除去する第6の工程とを有することを特徴とする埋め込み配線の形成方法。
【請求項2】 上記パリアメタルがTaまたはTaNを含む材料であり、かつ上記Cu膜のエッチングは、水素イオン濃度がpH6以下で、上記パリアメタルがエッチングされにくい酸性溶液の薬液を用いて行われることを特徴とする請求項1記載の埋め込み配線の形成方法。
【請求項3】 上記パリアメタルがTaまたはTaNを含む材料であり、かつ上記Cu膜のエッチングは、上記Cu膜との化学反応が活性なガスで、上記パリアメタルがエッチングされにくいガスを用いた気相エッチングであることを特徴とする請求項1記載の埋め込み配線の形成方法。
【請求項4】 上記Cu膜のエッチングをCMP装置内の洗浄ユニット内で行うことにより、上記1回目の化学機械研磨 (Cu膜研磨) から、上記2回目の化学機械研磨 (パリアメタル研磨) 終了までを、一台のCMP装置内でクローズさせることを特徴とする請求項1〜3の、いずれかに記載の埋め込み配線の形成方法。
【請求項5】 上記Cu膜のエッチングの際に、上記半導体基板のウエハ表面の変化を光検出手段で検知し、上記パリアメタルの露出でエッチングのエンドポイントを検出する請求項1〜4のいずれかに記載の埋め込み配線の形成方法。
【請求項6】 上記Taの放射スペクトルを検出することにより、上記パリアメタルの露出でエッチングのエンドポイントを検出することを特徴とする請求項3記載の埋め込み配線の形成方法。
【請求項7】 Arイオンによるスパッタエッチングを用いて、上記薄皮のCu膜を除去することを特徴とする請求項1〜6のいずれかに記載の埋め込み配線の形成方法。
【請求項8】 上記2回目の化学機械研磨は、上記半導体基板の表面から上記パリアメタルの厚さ分だけCu膜が露出するまでエッチングを行い、上記パリアメタルのみが選択的に研磨される研磨剤または研磨条件を用いて行うことを特徴とする請求項1〜7のいずれかに記載の埋め込み配線の形成方法。
【請求項9】 上記2回目の化学機械研磨は、上記Cu膜と上記層間絶縁膜との研磨速度が同じで、上記パリア

メタルの研磨速度のみを両者以上に増大させた研磨剤または研磨条件を用いて行うことを特徴とする請求項1〜8のいずれかに記載の埋め込み配線の形成方法。
【請求項10】 半導体基板上の層間絶縁膜に形成された埋め込み配線用の溝を埋めているパリアメタルと主配線となるCu膜の内、該Cu膜を薄皮が残る状態で研磨する第1の研磨ユニットと、
上記Cu膜を必要に応じて洗浄する第1の洗浄ユニットと、
上記パリアメタルの不要なものを除去する第2の研磨ユニットと、
上記半導体基板に付着した研磨剤を洗浄する第2の洗浄ユニットとを備えたことを特徴とするCMP装置。
【請求項11】 上記半導体基板のウエハ表面の変化を検知し、上記パリアメタルの露出でエッチングの終了検出を行う光検出手段を備えたことを特徴とする請求項10記載のCMP装置。
【請求項12】 半導体基板上の平坦な層間絶縁膜に設けられた埋め込み配線用の溝に形成され、パリアメタルと主配線となるCu膜を有し、表面が平坦な埋め込み配線を備えたことを特徴とする半導体装置。
【請求項13】 半導体基板上に形成された平坦な層間絶縁膜に埋め込み配線用の溝を形成する第1の工程と、上記溝にパリアメタルと主配線となるCu膜を形成する第2の工程と、
上記層間絶縁膜上の不要なCu膜を薄皮残した状態で露出するまでエッチングにより除去する第4の工程と、
1回目の化学機械研磨により除去する第3の工程と、
上記薄皮の状態のCu膜のみを、上記パリアメタルが露出するまでエッチングにより除去する第5の工程と、
不要なパリアメタルを2回目の化学機械研磨により除去する第6の工程とを有することを特徴とする埋め込み配線の形成方法。
【請求項14】 上記Taの放射スペクトルを検出することにより、上記パリアメタルの露出でエッチングのエンドポイントを検出することを特徴とする請求項3記載の埋め込み配線の形成方法。
【請求項15】 Arイオンによるスパッタエッチングを用いて、上記薄皮のCu膜を除去することを特徴とする請求項1〜14のいずれかに記載の埋め込み配線の形成方法。
【請求項16】 上記2回目の化学機械研磨は、上記Cu膜と上記層間絶縁膜との研磨速度が同じで、上記パリア

去して埋め込み配線を形成するものである。【0003】また、別な従来例として、特開平第2000-12543号公報や特開平9-32639号公報に示されたものがある。この従来例では、CMPによる配線・ブラッグ形成を2ステップに分け、1ステップ目では研磨速度の大きい条件で、対象とする金属膜をあらかじめ除去し、研磨後の配線・ブラッグの凹凸が小さくなるようにするものである。

【0008】請求項2の発明に係る埋め込み配線の形成方法は、請求項1の発明において、上記シリウムがTaまたはTa Nを含む材料であり、かつ上記Cu膜のエッチングは、水素イオン濃度がpH6以下で、上記シリウムがエッチングされにくい酸性溶液の薬液を用いて行われるものである。

【0009】請求項3の発明に係る埋め込み配線の形成方法は、請求項1の発明において、上記シリウムがTaまたはTa Nを含む材料であり、かつ上記Cu膜のエッチングは、埋め込み配線形成の基本フローであるが、現実には図8および図9に示すように、CMPによるCu配線のディッシングが発生するという問題があった。

【0004】即ち、図8はCu膜の研磨速度は大きい、Cu膜の研磨速度が小さい場合、図9はCu膜とシリウムの研磨速度が大きい場合、酸化膜の研磨速度が小さい場合のそれぞれディッシングの発生を示している。これは、CMPに用いるスラリー（研磨剤）が、Cu膜は早く研磨するが、シリウムあるいは酸化膜は研磨しにくいように成分を制御しているため、Cu膜以外の異種膜が基板表面に露出したときに、Cu膜のみが選択的に研磨され、配線が凹んでしまっている。この凹みはウエハと作用する研磨布の変形によってもたらされるが、配線幅の大きい箇所ほど研磨布の変形量が大きくなるためディッシング量も大きくなる。

【0005】また、上記特開第2000-12543号公報および特開平9-32639号公報による方法は、実質的に上記従来例の問題点を解決すべく、CMPによる配線・ブラッグ形成を2ステップに分けるもであり、スラリーを工夫して、研磨後の配線・ブラッグを乾燥させることはできるが、CMPという技術を用いる以上、若干の金属部分の凹凸は避けられないという問題があった。

【0006】この発明は、配線幅・配線の歪みなどといったレイアウトに関わりなく、CMPによるディッシングを防止し、平坦な表面を有する埋め込み配線の形成方法およびCMP装置、並びに半導体装置およびその製造方法を提供することを目的とする。

【0007】【課題を解決するための手段】請求項1の発明に係る埋め込み配線の形成方法は、半導体基板上に形成された平坦な層間絶縁膜に埋め込み配線用の溝を形成する第1の工程と、上記溝にシリウムと主配線となるCu膜を形成する第2の工程と、上記層間絶縁膜上の不要なCu膜を薄く残した状態で、1回目の化学機械研磨により除去する第3の工程と、上記薄皮の状態のCu膜のみを露出するまでエッチングを行うものである。

【0008】請求項2の発明に係る埋め込み配線の形成方法は、請求項1の発明において、上記シリウムがTaまたはTa Nを含む材料であり、かつ上記Cu膜のエッチングは、水素イオン濃度がpH6以下で、上記シリウムがエッチングされにくい酸性溶液の薬液を用いて行われるものである。

【0009】請求項3の発明に係る埋め込み配線の形成方法は、請求項1の発明において、上記シリウムがTaまたはTa Nを含む材料であり、かつ上記Cu膜のエッチングは、埋め込み配線形成の基本フローであるが、現実には図8および図9に示すように、CMPによるCu配線のディッシングが発生するという問題があった。

溝を埋めているシリウムと主配線となるCu膜の内、該Cu膜を薄皮が残る状態まで研磨する第1の洗浄ユニットと、上記Cu膜を必要量だけ洗浄する第2の洗浄ユニットと、上記シリウムの不要なものを除去する第3の洗浄ユニットと、上記シリウムと主配線となるCu膜を薄く残した状態で、1回目の化学機械研磨により除去する第4の洗浄ユニットと、上記シリウムのみを露出するまでエッチングを行うものである。

【0017】請求項11の発明に係るCMP装置は、請求項10の発明において、上記半導体基板のウエハ表面の変化を検知し、上記シリウムの露出でエッチングの終点を検出を行う光検出手段を備えたものである。

【0018】請求項12の発明に係る半導体装置、半導体基板上の平坦な層間絶縁膜に設けられた埋め込み配線用の溝に形成され、シリウムと主配線となるCu膜を有し、表面が平坦な埋め込み配線を備えたものである。

【0019】請求項13の発明に係る半導体装置の製造方法は、半導体基板上に形成された平坦な層間絶縁膜に埋め込み配線用の溝を形成する第1の工程と、上記溝にシリウムと主配線となるCu膜を形成する第2の工程と、不要なシリウムを2回目により除去する第3の工程と、上記層間絶縁膜上の不要なCu膜を薄く残した状態で、1回目の化学機械研磨により除去する第4の工程と、上記薄皮の状態のCu膜のみを露出するまでエッチングを行うものである。

【0020】【発明の実施の形態】以下、この発明の実施の形態を、図を参照して説明する。図1および図2は、この発明の実施の形態1を示す工程図である。この図1および図2を参照しながら、ディッシングを抑制した埋め込み配線の形成方法について説明する。なお、ここでは、埋め込み配線下の構造については省略してある。先ず、図1(a)に示すように、半導体基板としてのシリウム基板上に、熱酸化膜2を300nm、窒化膜3を60nm、および層間絶縁膜4を400nm成膜する。次に、図1(b)に示すように、層間絶縁膜4をフォトリソグラフィ工程・異方性エッチング工程で加工し、埋め込み配線用の溝を形成する。このときの窒化膜3は、層間絶縁膜4のエッチングストッパ層として用いる。

【0021】次に、図1(c)に示すように、そのパターン上に、スパッタ法にて、シリウムと主配線となるTa N（窒化タンタル）を35nmと、メッキのシード層即ちCu膜（電解メッキの開始時に種となるCu薄膜）を200nm成膜する。なお、シリウムと主配線となるTa Nの代わりにTa（タンタル）を用いてもよい。そして電解メッキ法を用いて、シリウム基板上にCu膜7aの成膜を600nm行う。

【0022】次に、図2(a)に示すように、シリウム基板上のCu膜7aをCMP法（化学機械研磨法）によって研磨し、元膜厚の90%程度を除去した時点で研磨を停止する。シリウム基板上の表面全体にはCu膜7aおよび7aが残されており、まだシリウムが露出していないため、ディッシングは発生しておらず平坦な表面が得られている。

【0023】次に、図2(b)に示すように、このシリウム基板上を、水素イオン濃度がpH6以下で、シリウムと主配線となるCu膜7aがエッチングされにくい酸性溶液の薬液を用いてエッチングする。Ta Nは酸では非常にエッチングされにくいので、Cu膜のみが選択的にエッチングされる。エッチングが進み、ウエハ全体でシリウムが露出した時点でエッチングを停止する。

【0024】そして、図2(c)に示すように、再びCMPを用いて、シリウム基板上の不要なシリウムを全て除去し、平坦な埋め込み配線を形成する。このときに用いるスラリー（研磨剤）は、Cu膜に対するTa Nの研磨速度の比率が、1以上（Ta Nの方が研磨されやすい）であるものを用いる。

【0025】上記図2(a)の時点から、Cu膜のみを選択的に除去する方法については、Cu膜のエッチングによるウェットエッチの他に、アンモニアガスの膜にCu膜との反応性の高いガスを用いた気相エッチング、A rイオンを用いた物理的なスパッタエッチング等も考えられる。気相エッチングは、Taの発光スペクトルを検出することによってエッチングの終点（エンドポイント）をかけることもできる。なお、上記の説明はディッシングの抑制方法であるが、デュアル埋め込みの形成においても同様に形成できる。

【0026】図3は、実施の形態1で用いられる種々の研磨ユニットと洗浄ユニットを持つCMP装置を示す構成図である。図において、8はウエハセッティングユニット、9は回転ヘッド、10は回転盤、11、12は研磨ヘッド、13は搬送ロボット、14、14a、14bは洗浄ユニットである。【0027】また、図4は、図3における研磨ユニット即ち研磨ヘッド11と回転盤9、及び研磨ヘッド12と回転盤10の部分の具体例を示す概略図である。図において、15は研磨ヘッド、16はノズル、17はスラリー、18は研磨布、19は回転盤である。【0028】また、図5は、研磨後のウエハを洗浄する洗浄ユニット即ち図3における洗浄ユニット14、14a、14bの具体例を示す概略図である。図において、20はスポンジブラシ、21はシリウム基板上に形成された液ノズル、22は液ノズル、23は純水ノズルである。この液ノズル装置を用いた場合、洗浄ユニット内の一つにCu膜をエッチングする薬液を入れることにより、CMP装置内で上記全ての処理を行うことが可能となる。

【0029】図6は、上記処理を行う場合のウエハの流れ

を確実に除去できるという効果がある。

【0043】また、請求項3の発明によれば、上記バリ
アメタルがTaまたはTaNを含む材料であり、かつ上
記Cu膜のエッチングは、上記Cu膜との化学反応が活
性なガスで、上記バリアメタルがエッチングされにくい
ガスを用いた気相エッチングであるので、薄皮の状態の
Cu膜のみを確実に除去できるという効果がある。
【0036】また、請求項4の発明によれば、上記Cu
膜のエッチングをCMP装置内の洗浄ユニットで行う
ことにより、上記1回目の化学機械研磨(Cu膜研
磨)から、上記2回目の化学機械研磨(バリアメタル研
磨)終了までを、一台のCMP装置内でクローズさせる
ので、1台のCMP装置内で全ての処理を行うことが可
能になるという効果がある。

【0037】また、請求項5の発明によれば、上記Cu
膜のエッチングの際に、上記半導体基板のウエハ表面の
変化を光検出手段で検知し、上記バリアメタルの露出で
エッチングのエンドポイントを検出するので、精度の良い
埋め込み配線の形成が可能になるという効果がある。
【0038】また、請求項6の発明によれば、上記Ta
の発光スペクトルを検出することにより、上記バリアメ
タルの露出でエッチングのエンドポイントを検出する
ので、精度の良い埋め込み配線の形成が可能になるという
効果がある。

【0039】また、請求項7の発明によれば、A・E・オ
ンによる劣化を防止するパッシベーション膜を、上記薄皮のCu膜を
除去するので、薄皮の状態のCu膜のみを確実に除去で
きるという効果がある。

【0040】また、請求項8の発明によれば、上記2回
目の化学機械研磨は、上記半導体基板の表面から上記バ
リアメタルの厚さ分だけ上記Cu膜がリセスするまでエ
ッチングを行い、上記バリアメタルのみが選択的に研磨
される研磨剤または研磨条件を用いて行うので、埋め込
み配線の形成の効率化、装置の小型化に寄与できるとい
う効果がある。

【0041】また、請求項9の発明によれば、上記2回
目の化学機械研磨は、上記Cu膜と上記絶縁膜との研
磨速度が同じで、上記バリアメタルの研磨速度のみを
両者以上に増大させた研磨剤または研磨条件を用いて行
うので、埋め込み配線の形成の効率化、装置の小型化に
寄与できるという効果がある。

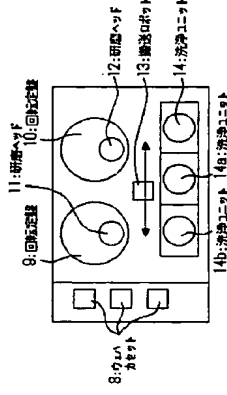
【0042】さらに、請求項10の発明によれば、半導
体基板の上記絶縁膜に形成された埋め込み配線の溝の溝
を埋めるバリアメタルと主配線となるCu膜の内、該
Cu膜を薄皮で残る状態まで研磨する第1の研磨ユニ
ットと、上記Cu膜を必要な量だけ洗浄する第1の洗浄ユ
ニットと、上記バリアメタルの不要なものを除去する第
2の研磨ユニットと、上記半導体基板に付着した研磨剤
を洗浄する第2の洗浄ユニットとを備えたので、1台の
CMP装置内で全ての処理を行うことができるという効

果がある。
【0043】また、請求項11の発明によれば、上記半
導体基板のウエハ表面の変化を検知し、上記バリアメ
タルの露出でエッチングの終了検出を行う光検出手段を備
えたので、精度の良い埋め込み配線の形成に寄与できる
という効果がある。

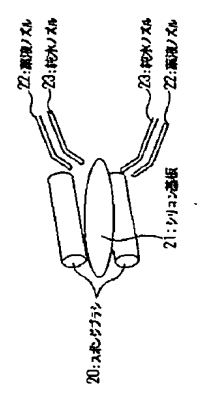
【0044】また、請求項12の発明によれば、半導体
基板上の平坦な絶縁膜に設けられた埋め込み配線用の
溝に形成され、バリアメタルと主配線となるCu膜を
有し、表面が平坦な埋め込み配線を備えたので、品質の
優れた半導体装置が得られるという効果がある。
【0045】また、請求項13の発明によれば、半導体
基板上に形成された平坦な絶縁膜に埋め込み配線用の
溝を形成する第1の工程と、上記溝にバリアメタルと
主配線となるCu膜を形成する第2の工程と、上記絶縁
膜の表面に不要なCu膜を薄皮残した状態まで、1回目
の化学機械研磨により除去する第3の工程と、上記薄皮
の状態のCu膜のみを、上記バリアメタルが露出するま
でエッチングを2回行う化学機械研磨により除去する第5の
工程とを用いて埋め込み配線を形成する処理工程を少な
くとも含むので、平坦な表面の埋め込み配線を有する品
質の優れた半導体装置が得られ、製造の歩留まりの向上
に寄与できるという効果がある。

【図面の簡単な説明】
【図1】この発明の実施の形態1による埋め込み配線

【図3】



【図5】



の形成方法を示す工程図である。

【図2】この発明の実施の形態1による埋め込み配線
の形成方法を示す工程図である。
【図3】この発明の実施の形態1における複数の研磨
ユニットと洗浄ユニットを持つCMP装置を示す構成図
である。

【図4】図3の研磨ユニットの具体例を示す概略図で
ある。

【図5】図3の洗浄ユニットの具体例を示す概略図で
ある。

【図6】図1および図2の処理を行う場合のウエハの
流れを概略的に示す図である。

【図7】この発明の実施の形態1におけるバリアメ
タルが露出することを検出するための光学式センサの設
置例を示す図である。

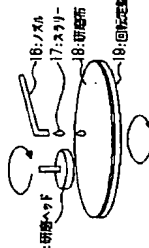
【図8】従来例においてディッシングが発生している
状態を示す図である。

【図9】従来例においてディッシングが発生している
状態を示す図である。

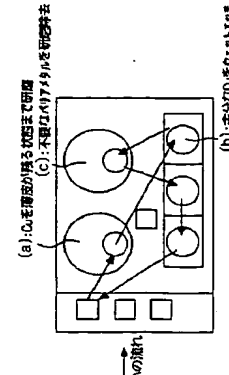
【符号の説明】

- 1, 21, 25 シリコン基板、4 絶縁膜、6 バリアメタル、7 Cu膜、9, 10, 19 回
転定盤、11, 12, 15 研磨ヘッド、14, 14
a, 14 b 洗浄ユニット、17 スラリー(研磨
剤)、24, 24 a 光学式センサ。

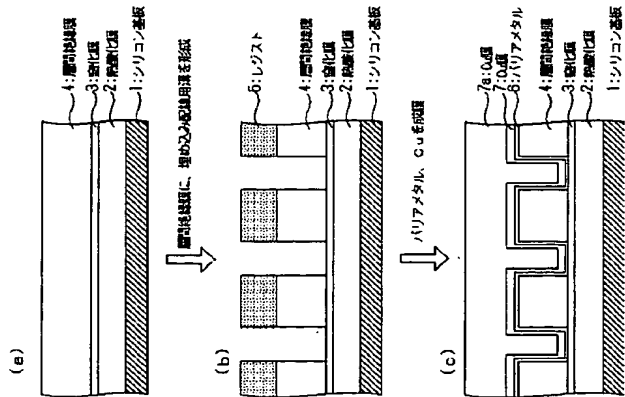
【図4】



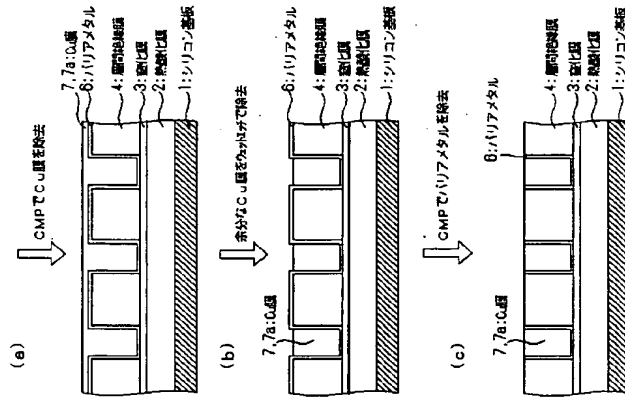
【図6】



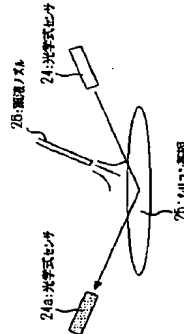
【図1】



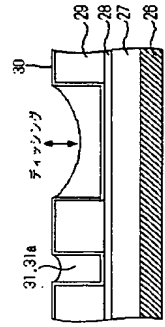
【図2】



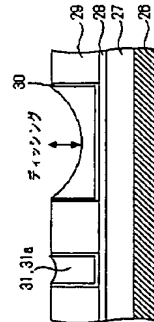
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 5F004 C802 DA00 DA23 DB08 FA08
 5F003 IH11 IH21 IH32 IM01 IM02
 IM12 IM13 PP15 PP27 PP33
 QQ11 QQ14 QQ16 QQ19 QQ25
 QQ48 QQ50 RR04 RR06 XX01
 5F043 AA27 BB18 DD15 DD16 DD25
 FF07